

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-352190

(43)Date of publication of application : 24.12.1999

(51)Int.Cl.

G01R 31/28  
H03K 19/00

(21)Application number : 10-161813

(71)Applicant : HITACHI LTD  
HITACHI INFORMATION  
TECHNOLOGY CO LTD

(22)Date of filing : 10.06.1998

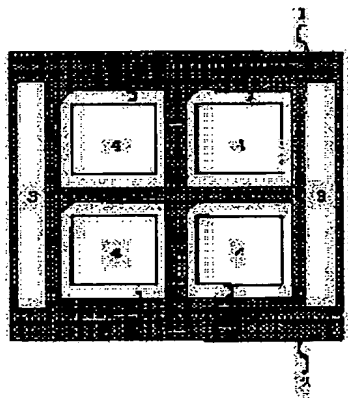
(72)Inventor : ITO HIROSHI  
YAMAGIWA AKIRA  
EJIMA NOBUAKI  
KURIHARA RYOICHI  
SAKAGAMI MASAKAZU  
KAMIMURA YASUHIRO

### (54) LOGIC MODULE

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide wiring of high efficiency on the minimum mount space without redesigning a board to be logically tested, to make a module compact by loading a plurality of logic LSI on one logic module to be connected to one another and connecting the same to a switching LSI.

**SOLUTION:** A plurality of logic LSIs 4a such as FPGAs, for example, are loaded on a front surface of a module substrate 2, and a plurality of logic LSIs 4b such as switching LSIs or the like are mounted on a rear surface of the substrate 2, respectively through the carrier substrates 36, and they are connected to an external connector 3 installed on a peripheral edge of the substrate 2. Then the logic LSI 4a, 4b are connected by an outer wiring layer and a passing through hole through a LSI terminal mounted land and the carrier substrate 36. When each logic LSI 4 is to be mounted, the gaps among the solder balls arranged in lattice are narrowed as small as possible to reduce the mount area.



### LEGAL STATUS

[Date of request for examination] 01.04.2003

[Date of sending the examiner's decision of

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-352190

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 0 1 R 31/28

G 0 1 R 31/28

F

H 0 3 K 19/00

H 0 3 K 19/00

D

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21) 出願番号 特願平10-161813

(22) 出願日 平成10年(1998)6月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000153454

株式会社日立インフォメーションテクノロジー

神奈川県足柄上郡中井町境456番地

(72) 発明者 伊藤 博志

神奈川県海老名市下今泉810番地 株式会社日立製作所P C事業部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

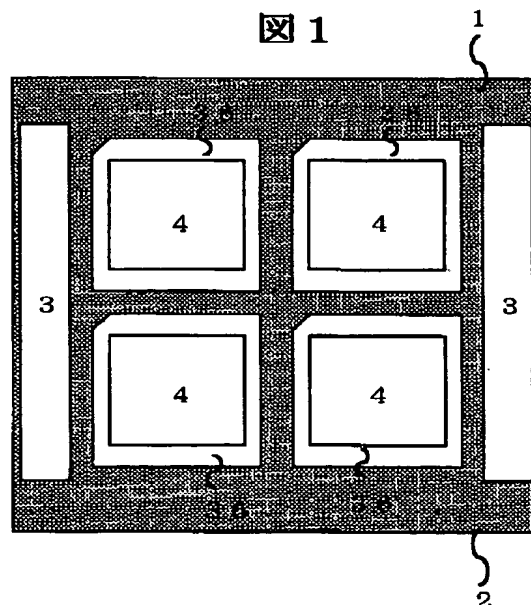
(54) 【発明の名称】 論理モジュール

(57) 【要約】

【課題】 論理検証対象ボードを再設計することなく、論理検証を行うことを可能とする技術を提供する。

【解決手段】 基板の片面または両面に複数の論理をプログラム可能なプログラマブルLSIと接続をプログラム可能なスイッチングLSIを搭載すると共に、外部と電気的に接続するコネクタを基板の周縁部に搭載して、論理モジュールを構成する。論理モジュールの四隅に金属スペーサを介して放熱板を取り付け、前記モジュールに搭載した論理LSIと前記放熱板の間に前記LSIの形状に追従して変形し密着できる弾性を持つ熱伝導シートを介在させて、論理モジュールの冷却を行う。

図 1



## 【特許請求の範囲】

【請求項1】 複数のプログラム可能な論理素子と、前記論理素子との出力信号および前記論理素子への入力信号を伝送するための接続部と、前記複数のプログラム可能な論理素子間の接続を制御するスイッチング素子とを基板の少なくとも片面に備え、前記複数のプログラム可能な論理素子は、前記接続部または前記スイッチング素子に接続され、前記複数のプログラム可能な論理素子には、論理検証用の論理データがプログラムされていることを特徴とする論理モジュール。

【請求項2】 請求項1記載の論理モジュールにおいて、前記接続部を前記基板の第一の面と第二の面の同一端にそれぞれ備え、前記基板の第一の面の接続部と前記基板の第二の面の接続部の対向する端子の一部は、各々同一の信号を伝送する端子であることを特徴とする論理モジュール。

【請求項3】 請求項1記載の論理モジュールにおいて、前記複数のプログラム可能な論理素子を前記基板の第一の面の少なくとも一部に備え、前記スイッチング素子を前記基板の第二の面の前記複数のプログラム可能な論理素子に対向する位置に備え、前記複数のプログラム可能な論理素子あるいは前記スイッチング素子と前記基板との間に所定のランド配置である基板を備え、前記複数のプログラム可能な論理素子と前記スイッチング素子の同一信号の端子は前記基板に設けたスルーホールで接続することを特徴とする論理モジュール。

【請求項4】 集積回路を搭載する論理基板において、前記集積回路の端子と前記論理基板とを接続する複数の端子ランドと、前記集積回路の論理をプログラムしたプログラム可能な論理素子を搭載した論理モジュールと接続する接続部とを前記集積回路を搭載する位置の周辺部に備え、前記端子ランドと前記接続部の端子を一对一で接続したことを特徴とする論理基板。

【請求項5】 集積回路の論理を実現する論理モジュールと前記集積回路を搭載する論理基板を接続して論理検証を行う論理検証システムにおいて、前記論理モジュールは、複数のプログラム可能な論理素子と、前記論理素子との出力信号および前記論理素子への入力信号を伝送するための第一の接続部と、前記複数のプログラム可能な論理素子間の接続を制御するスイッチング素子とを基板の少なくとも片面に備え、前記論理基板は、前記集積回路の端子と前記論理基板とを接続する複数の端子ランドと、前記集積回路を搭載する位置の周辺部に前記論理モジュールと接続する第二の接続部を備え、前記複数のプログラム可能な論理素子は、前記第一の接続部または前記スイッチング素子に接続され、前記複数のプログラム可能な論理素子には、論理検証用の論理データがプログラムされ、前記端子ランドと前記第二の接続部の端子は一对一で接続されていることを特徴とする論理検証システム。

【請求項6】 集積回路の論理を実現する論理モジュールと前記集積回路を搭載する論理基板を接続して論理検証を行う論理検証システムによって論理検証された集積回路であって、前記論理モジュールは、複数のプログラム可能な論理素子と、前記論理素子との出力信号および前記論理素子への入力信号を伝送するための第一の接続部と、前記複数のプログラム可能な論理素子間の接続を制御するスイッチング素子とを基板の少なくとも片面に備え、前記論理基板は、前記集積回路の端子と前記論理基板とを接続する複数の端子ランドと、前記集積回路を搭載する位置の周辺部に前記論理モジュールと接続する第二の接続部を備え、前記複数のプログラム可能な論理素子は、前記第一の接続部または前記スイッチング素子に接続され、前記複数のプログラム可能な論理素子には、論理検証用の論理データがプログラムされ、前記端子ランドと前記第二の接続部の端子は一对一で接続されている論理検証システムによって論理検証されたことを特徴とする集積回路。

【請求項7】 集積回路の製造方法において、複数のプログラム可能な論理素子と前記論理素子間の接続をプログラム可能なスイッチング素子を備えた論理モジュールを論理検証対象となる論理基板に搭載するステップと、前記プログラム可能な論理素子に論理データを書込むステップと、前記論理データを前記論理基板と前記論理モジュールを用いて検証するステップと、検証した前記論理データを実現する回路を生成するステップとを備えることを特徴とする集積回路の製造方法。

【請求項8】 論理をプログラム可能な複数のプログラマブル大規模集積回路と、接続をプログラム可能な複数のスイッチング大規模集積回路と、前記プログラマブル大規模集積回路と前記スイッチング大規模集積回路を搭載する基板と、前記プログラマブル大規模集積回路の信号を伝送するコネクタと、前記プログラマブル大規模集積回路と前記スイッチング大規模集積回路とを接続した第一の配線と、前記プログラマブル大規模集積回路の間を接続した第二の配線と、前記プログラマブル大規模集積回路と前記第一のコネクタの間を接続した第三の配線と、前記スイッチング大規模集積回路と前記第一のコネクタの間を接続した第四の配線とを備え、論理を構成する論理信号の接続を、前記第一乃至第四の配線を用いて行うことを特徴とする論理モジュール。

【請求項9】 請求項8記載の論理モジュールにおいて、前記コネクタを二つ備え、前記基板は、お互いに対向する位置にそれぞれ配置される第一のコネクタと第二のコネクタを備え、前記第一のコネクタと前記第二のコネクタの対向する位置の第一の端子は前記プログラマブル大規模集積回路と前記スイッチング大規模集積回路に並列接続する第一の制御信号を伝送し、前記第一のコネクタと前記第二のコネクタの対向する位置の第二の端子は前記プログラマブル大規模集積回路と前記スイッチン

グ大規模集積回路を連続に接続する第二の制御信号の入力信号を伝送し、前記第一のコネクタと前記第二のコネクタの対向する位置の第三の端子は前記プログラマブル大規模集積回路と前記スイッチング大規模集積回路を連続に接続する第二の制御信号の出力信号を伝送することを特徴とする論理モジュール。

【請求項10】 複数の集積回路を基板上に搭載したマルチチップモジュールにおいて、前記集積回路を覆う放熱板と、金属スペーサと、前記集積回路と前記放熱板との間に配置された熱伝導シートを備えることを特徴とするマルチチップモジュール。

【請求項11】 請求項10記載のマルチチップモジュールにおいて、前記マルチチップモジュールは前記基板の第一、第二の面に前記集積回路を搭載し、前記基板の第一、第二の面に前記放熱板をそれぞれ設け、前記基板の第一の面の放熱板上に可撓性熱伝導シートの一端を取付け、前記可撓性熱伝導シートのもう一端を前記基板の第二の面の放熱板に取付けたことを特徴とするマルチチップモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理検証を行う論理エミュレータを用いた大規模集積回路の開発技術に関する。

【0002】

【従来の技術】近年、サーバ等の情報処理装置に適用する大規模集積回路（LSI）のゲート数の増加、多ピン化、小形化が進んでいる。

【0003】このようなLSIなどの論理素子を設計する際に、LSIの論理検証精度を向上させるために、従来のソフトウェアシミュレーション技術に加え、プログラマブルLSIであるFPGA（フィールドプログラマブルゲートアレイ）を用いたハードウェアエミュレーションをLSIの論理検証に適用する方式が用いられている。しかしながら、近年のLSIの内部回路のゲート数の増加に伴い、論理検証には多数のFPGAを必要とするようになった。そのような論理検証用の装置の一例として、特開平6-3414号公報に記載されている技術がある。

【0004】特開平6-3414号公報に記載されている技術は、ターゲット機（実機：論理検証対象）に接続してハードウェアの動作確認を実施するエミュレーション装置において、検証するための論理を擬似的に実現する擬似LSI装置を、複数のFPGAと、検証するための回路データを格納する不揮発性メモリと、FPGAと不揮発性メモリとの間のデータ転送を行う転送部と電源部とから構成し、擬似LSI装置がエミュレーション装置から切り離された場合でも、擬似LSI装置が回路データを保持できるようにしている。

【0005】このようなLSIの実装方法として、基板

上に複数のLSIをベアチップのまま実装したマルチチップモジュールがある。また、ベアチップをキャリアと呼ばれる基板を介し、はんだボールを用いて実装するCSP（チップサイズパッケージ）というLSIパッケージも、ベアチップとはほぼ等価の投影面積と従来の製造工法で容易に実装および交換可能であるため、有効な手段として用いられている。マルチチップモジュールやCSPでは、高集積化と論理規模の拡大に伴って単位面積当たりの発熱量が増加しているため、論理LSIの発熱を効率良く放熱する冷却構造が求められている。

【0006】

【発明が解決しようとする課題】しかしながら、FPGAと開発対象であるLSIでは、パッケージサイズ、接続構造およびピン配置が異なるため、FPGAを搭載するための論理検証対象ボードを設計しななければならないという問題があった。つまり、FPGAのパッケージ構造が一般的なPGA（ピングリッドアレイ）、QFP（クワッドフラットパッケージ）、BGA（ボールグリッドアレイ）であることから、複数のFPGAを組合せるためには搭載するボードサイズを大きくするか、または複数枚のボードに論理分割し、これらをバックプレーンボードを介して接続するというようなエミュレーション装置を構築する必要があった。この場合、開発対象のLSIを搭載する論理ボードとの間になんらかの接続手段が必要となる。

【0007】本発明の目的は、論理検証対象ボードを再設計することなく、そのまま使用できる論理検証用の論理モジュール、ならびにその論理モジュールを用いてLSIを開発する技術を提供することにある。

【0008】本発明の他の目的は、マルチチップモジュールの効率的な熱伝導冷却を実現する技術を提供することにある。

【0009】

【課題を解決するための手段】本発明は、基板の片面または両面に、内部に有するゲートを用いてプログラムすることによって論理を実現するFPGAと、回路間の接続をプログラムすることが可能なスイッチングLSIをそれぞれ少なくとも一つずつ搭載し、さらに外部と電気的に接続するコネクタを前記基板の周縁部の少なくとも一辺に搭載し、スイッチングLSIを介してFPGAとコネクタを接続させた論理モジュールを構成する。

【0010】また本発明では、論理検証の対象となる論理ボードは、論理モジュールと接続するためのコネクタと、論理モジュールと接続するためのコネクタと、開発対象LSIを搭載する端子ランドを備え、コネクタと端子ランドを一对一で接続する。

【0011】論理モジュールのコネクタと論理ボード上のコネクタを接続して検証対象である論理ボード上に論理モジュールを実装することで、開発対象であるLSIが実際搭載されることとなる論理ボードを用いて論理検証

証を行うことが可能となる。また、論理検証後は論理モジュールを取り外し、論理ボード上に開発対象LSIを搭載して評価することが可能である。

【0012】さらにFPGAが必要な場合は、論理モジュール上の外部接続コネクタを介して前記論理モジュールを2段以上連続して接続させる。このように、同一実装面積でさらに論理規模を拡大することが可能となる。

【0013】さらに、論理モジュールの両面に搭載するLSIの外部端子数が異なる場合には、LSIをキャリアと呼ばれる基板により、ある一定のランド配置になるように変換する。論理モジュールの両面を同じランド配置にすることによって、同一信号端子ランドおよび同一電源、グラウンド端子ランドを論理モジュール基板の貫通スルーホールのみで接続することが可能となり、配線設計が容易になる。

【0014】また本発明は、論理モジュールの四隅に金属スペーサを介して放熱板を取り付け、論理モジュールに搭載したFPGAやスイッチングLSI等の各種LSIと放熱板の間に、それらLSIの形状に追従して変形し密着する弾性を持つ熱伝導シートを備える。LSIの発熱は、この熱伝導シートと放熱板を介して放熱される。熱伝導シートがLSIの形状に追従して変形するので、基板の同一面上に高さの違うLSIを搭載しても、その高さの差異を吸収することができる。また、論理モジュール上の四隅に金属スペーサを介して放熱板を取り付けることで、部品配置、配線設計を阻害しない冷却構造を実現している。

【0015】さらに、論理モジュールを多段構成にする場合には、下段側の論理モジュールが発する熱を、自由に屈曲できる熱伝導シートによって上段側の放熱板に熱伝導させる。このような構成によって、論理モジュールを多段構成にした場合でも効率的に冷却することが可能となる。

【0016】

【発明の実施の形態】以下、図面を用いて本発明の実施例を詳細に説明する。図1～3は、本発明の論理モジュールの第一の実施例を示している。図1は論理モジュールを上から見た表面図であり、図2は下から見た裏面図であり、図3は断面図を示している。

【0017】図1において、モジュール基板2表面に、複数の例えばFPGAなどの論理LSI4aが、キャリアと呼ばれる基板36を介して搭載されている。キャリア36についての説明は、図4および図5を用いて説明する。さらに、外部と電気的に接続するコネクタ3がモジュール基板2の周縁部に搭載されている。

【0018】図2において、モジュール基板2裏面にも、例えばスイッチングLSIなどの論理LSI4bがキャリア36を介して複数搭載されている。本実施例では、コネクタを4つ設けているが、このように複数のコネクタを搭載することで、論理LSI4bからの出力

端子をより多くの端子を確保でき、かつ交換が容易に行うことが可能である。

【0019】図3は、論理モジュール1の断面を示している。本実施例では論理LSI4は、ある一定の間隔で格子状に配列したはんだボールにより接続するBGAで実装するが、はんだボールの配列を従来の1.27mm間隔より狭くしたBGAを用いて実装面積を縮小し、単位面積当たりの論理規模を拡大することができる。このようなBGAはFBGA（ファインピッチBGA）またはCSPと呼ばれ、はんだボール間隔は1.0mm、0.8mm、0.75mm、0.65mm、0.5mmのものがLSIメーカーからJEDEC、EIAに提案されている。また、本実施例のように、論理LSI4を両面に複数個搭載することで大規模論理検証に対応することが可能となる。

【0020】図3において、モジュール基板2の両面に搭載されている論理LSI4a、bおよびコネクタの実装位置は、表裏で互いに対向した位置になっている。この点についての説明を図4及び図5を用いて説明する。

【0021】図4及び図5は、論理モジュール1の断面の拡大図であり、論理LSI4a、bの配線の接続方法の例を示す図である。

【0022】まず図4は、表裏で対向する位置に実装された論理LSI4a、b間で、1対1に接続する場合の例である。モジュール基板2の両面上には、キャリア36を介して論理LSI4a、bの端子と接続するランド31と外層配線層32が配置されている。外層配線層32は、例えばモジュール基板2の中央部に十字形に配置されている。また、基板モジュール2の両面の接続は、ランド31、外層配線層32などの各配線層間を任意に接続する貫通スルーホール34を用いて行う。

【0023】図5は、相対位置にある論理LSI4a、b間だけでなく、その他の論理LSI4a、bと接続する必要がある場合の例を示している。図5では、外層配線層32と内層配線層33間を接続する非貫通スルーホール35を両面に備える。非相対位置の論理LSI4a、bとの接続は、非貫通スルーホール34および非貫通スルーホール34や貫通スルーホール34との接続をモジュール基板2内部で行う内層配線層32とで行われる。

【0024】図4、図5において、論理モジュール1の表面側と裏面側の機能が異なることによってそれぞれの面に搭載する論理LSI4a、bの外部端子数が異なる場合でも、キャリア36を用いることで、ある一定のランド配置に変換し、表裏で対向した実装位置を実現している。例えば、表面側に搭載する論理LSI4aと裏面側に搭載する論理LSI4bの同一信号の端子、同一電源の端子、GRD端子のランドを相対位置になるようすると、貫通スルーホール34によって直接接続することが可能となり、配線設計が容易になる。同一信号端子ラ

ンド、同一電源、GRD端子ランドが対向する位置関係にない場合は、図5のように、非貫通スルーホール35から内層配線層33を経由し、任意位置に設けた貫通スルーホール34を介して接続することができる。

【0025】尚、本実施例では図示していないが、同一面に搭載する論理LSI間は外層配線層32と、非貫通スルーホール35から内層配線層33を経由して接続する。従って、論理LSI4a、4b間の配線領域としては、部品搭載ランド31の領域と、非貫通スルーホール35から内層配線層33を経由して接続する貫通スルーホール34の配置領域となるため、実装効率が高くなり、論理モジュールの小形化の実現が可能となる。

【0026】本実施例では、部品搭載ランド31直下にスルーホールを形成するホールオンパッドを用いているが、貫通スルーホールは部品搭載ランド31からオフセットした位置に設けても良い。

【0027】尚、図示したモジュール基板2は、外層配線層32と1層以上の内層配線層33を接続する貫通スルーホールを有する多層基板を2枚貼り合わせ、さらに貫通スルーホールを形成した逐次積層基板であるが、貫通スルーホールと外層配線層から所望の内層配線層まで直線的に接続する非貫通スルーホールを有するビルドアップ基板でも実現可能であることはいうまでもない。

【0028】図6は、論理モジュール1を搭載する論理ボード21の断面図である。論理検証の対象となる論理ボード21は、論理モジュール1を接続するためのスタック型レセプタクルコネクタ22、コネクタを搭載するランド63、開発対象のLSI61を搭載するためのランド62を備えている。論理モジュール1は、開発対象となるLSI61に相当する大きさであり、ランド62は、モジュール1が搭載される位置の下になるように配置されている。

【0029】図6において、接続される開発対象のLSI61の端子がランド62aに接続される端子と、論理モジュール1上のコネクタのある端子に接続するコネクタ22の端子63aが同じ機能、例えばGRD端子である場合、ランド62aは、貫通スルーホール64および論理ボード21の裏面の配線65を介してコネクタ22aと接続されている。同様に、ランド62bと端子63bも論理ボード21の表面の配線66を介して接続されている。このように、コネクタを搭載するランド63と開発対象のLSI61を搭載するためのランド62は、1対1で接続されている。このように論理モジュール1を搭載するランド62とコネクタを搭載するランド63とを1対1で接続する構成とすることで、論理モジュール1と開発対象のLSI61の両方を、論理ボード21に実装することが可能となる。

【0030】図7は、開発対象のLSI61を論理ボード21に搭載する一例を示す。

【0031】このように、論理検証後は論理モジュール

1を取り外し、開発対象LSI61を搭載して評価することも可能となり、論理ボード21を再設計する必要がない。また、コネクタ22を除去することなく論理ボード21上に残しておき、開発対象LSI61の評価時に、コネクタ22を波形観測用端子として利用することも可能である。

【0032】図8は、本発明の論理モジュール1の論理ボード21への実装例を示す。

【0033】論理モジュールと論理ボード21との接続は、論理モジュール1の裏面に搭載したコネクタ23と、論理ボード21側にこれと相対位置関係に搭載したコネクタ22によって行う。本実施例では、論理モジュール1裏面側に搭載するコネクタ23はスタック型プラグコネクタ23であり、論理ボード21側のコネクタはスタック型レセプタクルコネクタ22である。

【0034】論理モジュール1の表面に、さらに論理モジュール1を積載するためのコネクタ22bを設けるようにしてもよい。積載用のコネクタ22bは、論理ボード21上のコネクタと同一でなくてもよいが、例えば、論理ボード21に搭載するコネクタと同一のスタック型レセプタクルコネクタ22を裏面側コネクタと相対位置に搭載すると、同一機能の論理モジュール24または異なる機能の論理モジュール25を2段以上連続して接続することができ、多段構成による論理規模の拡大と機能拡張を図ることが可能である。

【0035】図9に、論理モジュール1の積載方法の例を示す。

【0036】図9(a)は、論理ボード21の片面に論理モジュール1、24、25を積載した一例である。積載する論理モジュールは、同一の機能である必要はなく、異なる機能の論理モジュール、例えば、論理検証の際にコンフィグレーション設定するための回路や、メモリ回路を設けた論理モジュールなどを積載してもよい。

【0037】また、前述のように、論理モジュール1の表面側のコネクタと裏面側のコネクタは電源、GRD端子とクロック、リセット信号等の制御端子を相対する位置に配置すると、多段かつ順不同で接続することができる。

【0038】さらに、最上段の論理モジュール25の表面のコネクタを、論理検証のための波形観測用端子として活用することも可能である。

【0039】図9bは、論理モジュール1を論理ボード21の両面に搭載した一例である。論理ボード21は、表面と裏面の相対位置に論理モジュール1と接続するためのコネクタを備えている。このようにして、論理モジュール1を論理ボード21の両面に搭載することも可能である。本実施例では論理ボード21の裏面側に搭載する論理モジュールは1段であるが、表面側と同様に多段構成とすることができるのは、いうまでもない。

【0040】次に、図10乃至図12を用いて本発明の

論理モジュール1の内部構造の説明を行う。

【0041】図10は、本発明による論理モジュール1の論理部の配線の一実施例の概略図である。

【0042】論理モジュール1は、例えば論理をプログラム可能なプログラマブルLSIであるFPGA101a～d、接続をプログラム可能なスイッチングLSI102a～d、装置インタフェースコネクタ103a～d、外部インタフェースコネクタ104a～d、各素子間の論理信号用配線108～112で構成されている。

【0043】FPGA101a～dには、論理モジュール1を用いて大規模論理を動作させるために、論理を分割した複数の論理データをプログラムしておく。FPGA101a～dに分割された論理を接続するために、プログラマブルLSI101a～dの間の接続が必要となる。FPGA101a～dの2つを接続する1:1ネットの場合は、プログラマブルLSI101a～dの間を1:1で接続する論理信号用配線107で接続する。1:2などの2つ以上のFPGAを接続するネットの場合は、スイッチングLSI102a～dを経由して信号用配線108で接続する。

【0044】スイッチングLSI102a～dは、FPGA101a～dの間や、装置インタフェースコネクタ103a～d、外部インタフェースコネクタ104a～bを、プログラムによって接続する。図11に、スイッチングLSI102aの内部回路の概略図を示す。

【0045】図11において、スイッチングLSI102aには、MOSTランジスタ200a～dと記憶素子201a～dで構成されている。また、スイッチングLSI102aには、論理信号配線108a～dが接続されるようになっており、論理信号配線108a～dは、それぞれ例えばFPGA101a～dと接続されている。

【0046】論理信号用配線108aの配線を例に挙げて説明すると、MOSTランジスタa～dによって、スイッチングLSI102aの内部で論理信号用配線108b～dと接続されるようになっている。論理信号用配線108aと論理信号用配線108b、cとを接続した1:2ネットを構成する場合は、MOSTランジスタ200a、200bをON状態にするように記憶素子201a、201bに論理データを書込み、さらにMOSTランジスタ200c、200dをOFF状態にするように記憶素子201c、201dに論理データを書込む。この結果、論理信号用配線108aと108cと108dが接続される。このように、スイッチングLSI102aの記憶素子201a～dに結線データを書込むことにより所望の結線を構成できる。

【0047】図10に戻り、装置インタフェースコネクタ103a～dは、論理モジュール1と装置とを接続するコネクタである。装置インタフェースコネクタ103a～dには、プログラマブルLSI101a～dから信

号用配線109が直接接続されている。コネクタのピン配置に制限がある場合は、信号用配線108を経由しスイッチングLSI102a～dで信号用配線111を選択して接続することも可能である。

【0048】外部インタフェースコネクタ104a～bは、論理モジュール1ととを接続するコネクタである。装置インタフェースコネクタ103a～dと同様に、外部インタフェースコネクタ104a～bの接続についても、直接接続が可能な信号用配線110を用いる場合と、信号用配線108を経由しスイッチングLSI102a～dで信号用配線112を選択して接続する場合が考えられる。また、外部インタフェースコネクタ104a～bに、RAMモジュール、FPGA101a～d間の信号観測するためのオシロスコープを接続する場合、信号用配線110と信号用配線108a～dを経由して接続することも可能である。

【0049】FPGA101a～d間の全ての配線を信号用配線108a～dを経由しスイッチングLSI102a～dへ配線する接続方法の場合では、配線の自由度は増すがスイッチングLSI102a～dのI/Oピン数が制限されているという問題があった。また、FPGA101a～dの配線を論理信号用配線107のみで配線する接続方法の場合では、FPGA101a～dのピン配置に自由度がなくなり、論理の実装率が低下するという問題があった。本発明では、論理モジュール1の両面にFPGAとスイッチングLSIを相対位置となるように搭載することが可能となり、両方の接続方法を有効に用いることによって、配線に自由度をもたせつつ、スイッチングLSIのピン数を少なくできるという効果を得ることができる。

【0050】図12は、論理モジュール1が図10に示される論理部の構成の場合における制御部の配線の一実施例を示しており、図9に示されるような積層構造において、論理モジュール1aの上部に、論理モジュール1bと制御用論理ボード160を接続し、論理ボード21に搭載した例を示している。

【0051】論理モジュール1aにおいて、論理データの書き込み制御信号用配線は、FPGA101a～dの制御信号用配線130a～136aとスイッチングLSI102a～dの制御信号用配線120a～126aとで構成される。

【0052】同様に、論理モジュール1bにおいて、論理データの書き込み制御信号用配線は、FPGA101e～fの制御信号用配線130b～136bとスイッチングLSI102e～fの制御信号用配線120b～126bで構成される。

【0053】制御回路論理ボード160は、論理データを書込んであるROM164a～bと制御回路163a～bとから構成されている。

【0054】FPGA101e～hにプログラムされる

論理データは、まず例えばROM164bから制御回路163b、制御信号用配線130b、FPGA101eを経て、制御信号用配線134bへ出力され、次段FPGA101f~hへ伝送される。さらに、論理モジュール1bから制御信号用配線131aを介して論理モジュール1aに伝送される。論理モジュール1bと同様に論理モジュール1aでも、制御信号用配線130aから、制御信号用配線134a~136aを介してFPGAa~b101へと伝送され、外部配線141を介し、制御信号用配線132a~bを経て制御回路論理ボード160に戻る。FPGA101へ並列に制御する信号は、制御回路論理ボード160を経由して制御信号用配線133b、133aにて制御するようにする。

【0055】このように、論理モジュールの上に複数の論理モジュールを搭載しても論理書き込みが可能である。また、同一制御信号用配線を外部インタフェースコネクタ104a~bと装置インタフェースコネクタ103a~bに端子として接続するようにしている。このような構成により、装置ボード170に制御回路論理ボード160の論理を搭載して制御することが可能となる。このように、装置インタフェースコネクタ103と外部インタフェースコネクタ104に制御信号を接続することにより、両コネクタから制御が可能となる。

【0056】また、論理モジュール1aを1個制御する場合、連続に制御する信号は制御信号用配線130aを介し、各FPGA101a~d、制御信号用配線131a介して制御回路論理ボード170へ入力するので、装置ボード170の外部配線141が不要となる。

【0057】なお、論理データを制御回路論理ボード160の場合のみを記述してあるが、パソコン等の端子と外部端子151を接続し、制御回路論理ボード160の代わりとしてパソコンから制御することも可能である。

【0058】図13は、本発明の論理モジュールの他の実施例を示す図である。

【0059】論理モジュール81は、モジュール基板82の片面または両面に形成したキャビティ部83に複数の論理LSI4を搭載すると共に、外部と電気的に接続する端子ランド84を前記基板の周縁部に設ける。キャビティ部の深さで論理LSI4の高さを吸収すると共に、外部接続端子ランドにより論理ボードとの接続および同一機能の論理モジュールまたは異なる機能の論理モジュールを多段接続することができる。

【0060】両面の端子ランド84は、それぞれ電源、GRD端子とクロック、リセット信号等の制御端子を互いに相対する位置になるように配置されている。このようにすることで、多段かつ順不同で接続することができる。端子ランド84の接続には、例えばはんだを用いる。

【0061】はんだでの接続では、はんだの表面張力によるセルフアライメント性を利用することができる。つ

まり、多少の搭載位置ずれがあってもセルフアライメント性を利用して、ずれを吸収することができる。例えば、搭載位置ずれ量がランド径寸法の1/3程度であればセルフアライメント効果を十分期待することができる。

【0062】次に、論理モジュール1の冷却構造についての説明を、図14乃至図17を用いて説明する。図14は、本発明の論理モジュールの冷却構造の一例を示す図である。

【0063】まず(a)において、論理モジュール1上の四隅に、金属スペーサ43を介して放熱板42を取り付け、さらに放熱板42の上に冷却フィンまたは冷却ファン44を設置する。論理モジュール1に搭載したFPGAなどの論理LSI4と放熱板42の間には、さらに熱伝導性シート41を介在させる。熱伝導性シート41は、論理LSI4の形状に追従して変形し密着できる弾性をもっており、論理LSI4から発する熱量を放熱板42に熱伝導させ、冷却フィンまたは冷却ファン44にて冷却する。熱伝導性シート41は、例えば熱伝導性の高い銀などの金属粒子をフィラーとして添加し分散させたシリコンゴムなどである。放熱板は例えば銅やアルミである。金属スペーサは真鍮にニッケルメッキを施したものなどである。

【0064】(b)は、金属スペーサ43の一例を示す断面図である。

【0065】金属スペーサ43にはネジ穴47を設けてあり、かつタップ48を切ってあるので連結することができる。放熱板42はネジ45を用いて金属スペーサ43に取付ける。また、論理モジュール1を論理ボード21に固定する場合にも、金属スペーサ43を用い、論理ボード21裏面でナット46絞めする。

【0066】このように、熱伝導性シート41により、同一面の複数のLSIの高さの違いを吸収して一括で冷却でき、かつ特にLSIチップをフェースダウンでフリップチップ実装する場合のLSIチップへの機械的応力を軽減した熱伝導冷却が可能になる。

【0067】さらに、放熱板42とモジュール基板2の熱膨張係数は近似したものとすれば、熱膨張係数差によりどちらかが撓み変形することを抑制することができる。また、LSIチップと熱伝導シートおよび熱伝導シートと放熱板の密着性が向上して放熱効果を高めることができる。例えば、一般的なガラスエポキシ基板の熱膨張係数は15ppm/°C前後であり、銅板は17ppm/°Cであり、ほぼ一致しているのでこれらの材料を用いると効果的な冷却を行うことができる。

【0068】また、金属スペーサはモジュール基板の四隅に設けるので部品配置、配線を阻害することがないので、論理モジュールの設計が容易になる。

【0069】図14に示した例は一枚の論理モジュールを例としているが、同様の冷却構造を他断交性の論理モジュールに適用することも可能である。



【0070】図15は、多段構成の論理モジュールの冷却構造の一例を示す図である。

【0071】図15において、下段表面の論理モジュール1の冷却構造は、図14と同様であるので説明を省く。上段の論理モジュール1の裏面のLSIの発熱は、下段論理モジュール1の表面側の放熱板42に熱伝導される。放熱板42には、自由に屈曲できる熱伝導シート51の片端を熱伝導接着剤52で貼り付けてある。熱伝導シート51のもう一つの片端は、上段の表面側の放熱板に熱伝導接着剤52で貼り付ける。このようにして、熱伝導を効率的に行うことができる。自由に屈曲できる熱伝導シート51の材料は例えばフレキシブル基板と同様の構造で数100 $\mu$ m厚の銅箔をポリイミドテープに貼り付けたものや、高分子プラスチックシートを高温処理により結晶構造化したグラファイトシートがある。後者には松下電気産業株式会社のPGS(Pyrolytic Graphite Sheet)などがある。

【0072】図16は、自由に屈曲できる熱伝導シートを貼り付けた放熱板の展開図であり、図17はその断面図である。

【0073】このように、下段側の論理モジュール1の発熱と上段側の論理モジュール1の裏面のLSIの発熱を、可撓性を有する熱伝導シート51により上段側の論理モジュール1の放熱板に熱伝導させ、前記放熱板に取り付けた冷却フィンまたは冷却ファン44にて冷却することができる。

【0074】

【発明の効果】本発明によれば、1つの論理モジュールに複数の論理LSIを搭載し、それらの接続を直接およびスイッチングLSIを用いて接続することにより、必要最小限の実装スペースで効率良く配線でき小形モジュール化することができる。また、外部接続コネクタを用いて多段構成とし、さらに単位面積当たりの論理規模を拡大できると共に、論理検証対象の論理ボードに直接接続でき、かつ論理検証後は前記論理ボードを再設計することなく開発対象LSIを搭載して評価することができる。また、部品配置を阻害せず、LSIチップへの応力を軽減し、熱伝導性を高めた効率の良い冷却を単一モジュールだけでなく多段構成のモジュールにおいても行うことができる。また、論理をプログラム可能なプログラマブルLSIと接続をプログラム可能なスイッチングLSIにより構成する論理モジュールの接続に対し、配線自由度があり、スイッチングLSIのピン数を少なくできる効果がある。また、装置インタフェースコネクタと外部インタフェースコネクタの両方から制御が可能となる。

【図面の簡単な説明】

【図1】 本発明の論理モジュールの一実施例の上面図である。

【図2】 本発明の論理モジュールの一実施例の裏面図

である。

【図3】 本発明の論理モジュールの一実施例の断面図である。

【図4】 本発明の論理モジュールの配線接続方法の一例を示す図である。

【図5】 本発明の論理モジュールの配線接続方法の一例を示す図である。

【図6】 論理ボード上の論理モジュールを搭載する部分の断面図である。

【図7】 論理ボードに開発対象LSIを実装した図である。

【図8】 本発明の論理モジュールの論理ボードへの実装例を示す図である。

【図9】 本発明の論理モジュールの多段構成の実装例を示す図である。

【図10】 論理モジュールの論理部配線例を示す概念図である。

【図11】 スwitchングLSIの内部回路例を示す概念図である。

【図12】 論理モジュールの制御部配線例を示す概念図である。

【図13】 本発明の論理モジュールの他の実施例を示す図である。

【図14】 本発明の論理モジュールの冷却構造の一例および金属スペーサの一例を示す図である。

【図15】 多段構成の論理モジュールの冷却構造の一例を示す図である。

【図16】 可撓性を有する熱伝導シートを貼り付けた放熱板の展開図の一例である。

【図17】 可撓性を有する熱伝導シートを貼り付けた放熱板の断面図の一例である。

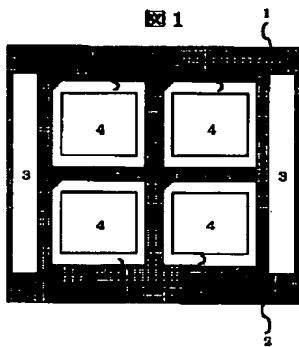
【符号の説明】

1…論理モジュール、2…モジュール基板、3…外部接続コネクタ、4…論理LSI、4a…論理モジュールの表面側の論理LSI、4b…論理モジュールの裏面側の論理LSI、21…論理ボード、22…スタック型レセプタクルコネクタ、23…スタック型プラグコネクタ、24…同一機能の論理モジュール、25…異なる機能の論理モジュール、31…LSI端子搭載ランド、32…外層配線層、33…内層配線層、34…貫通スルーホール、35…非貫通スルーホール、36…キャリア基板、41…弾性を持つ熱伝導シート、42…放熱板、43…金属スペーサ、44…冷却フィンまたは冷却ファン、45…ネジ、46…ナット、47…ネジ穴、48…タブ、51…可とう性を有する熱伝導シート、52…熱伝導性接着剤、61…開発対象LSI、62…開発対象LSI端子の搭載ランド、63…スタック型レセプタクルコネクタ端子の搭載ランド、81…他の実施例の論理モジュール、82…キャビティ付きモジュール基板、83…キャビティ部、84…外部接続端子ランド、101…

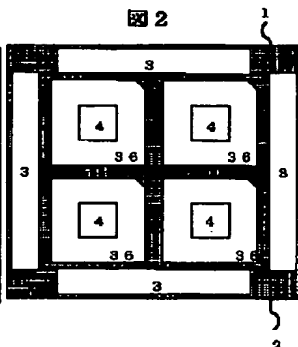
プログラマブルLSI、102…スイッチングLSI、  
103…装置インタフェースコネクタ、104…外部イ  
ンタフェースコネクタ、105…装置インタフェース信  
号、106…外部インタフェース信号、107～112  
…論理信号用配線、108a～108d…論理信号用配  
線  
120a～126a、120b～126b…制御信号用  
配線、130a～136a、130b～136b…制御

信号用配線、140、141…外部配線、150、15  
1…外部端子、160…制御回路論理ボード、161…  
制御回路インタフェースコネクタ、162…制御回路外  
部インタフェースコネクタ、163…制御回路、164  
…ROM、170…装置ボード  
200a～200d…MOSスイッチ、201a～20  
1d…記憶素子

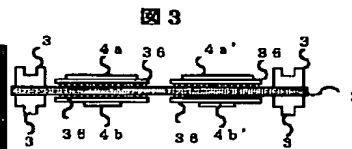
【図1】



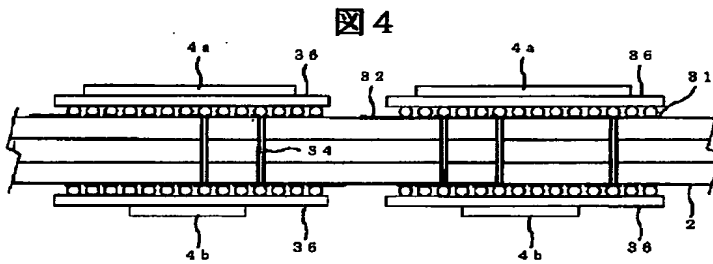
【図2】



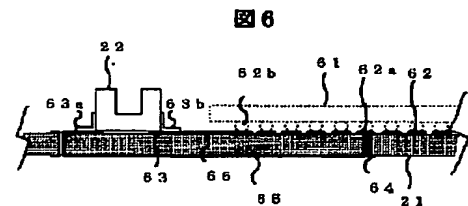
【図3】



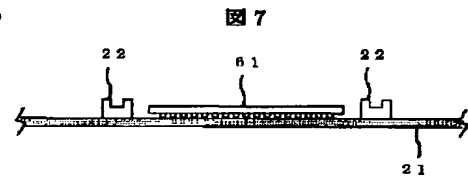
【図4】



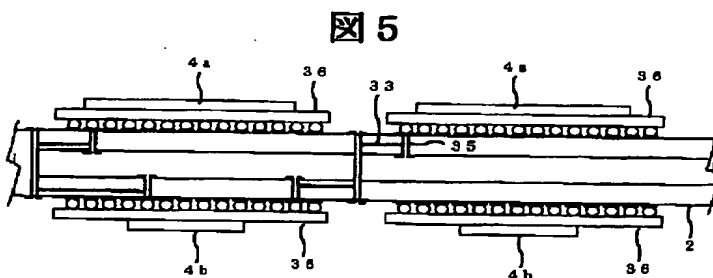
【図6】



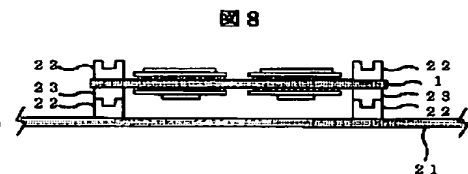
【図7】



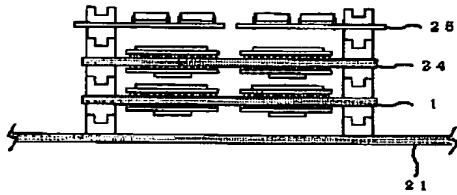
【図5】



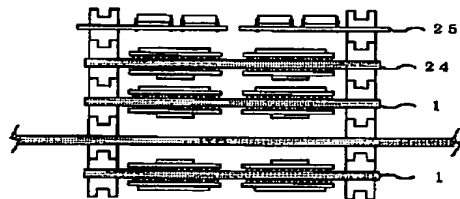
【図8】



【図9】

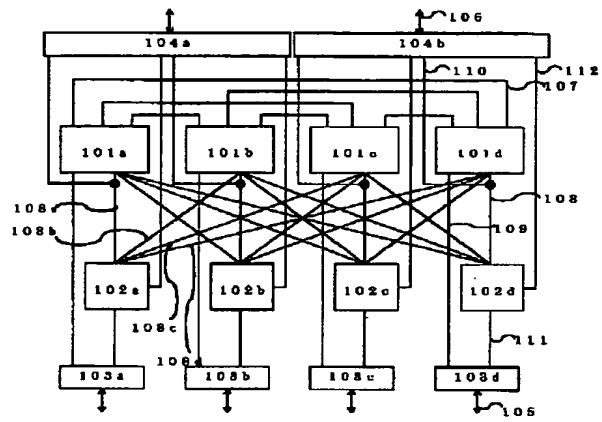
図9  
(a)

(b)



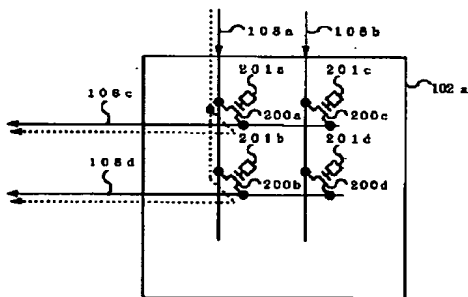
【図10】

図10



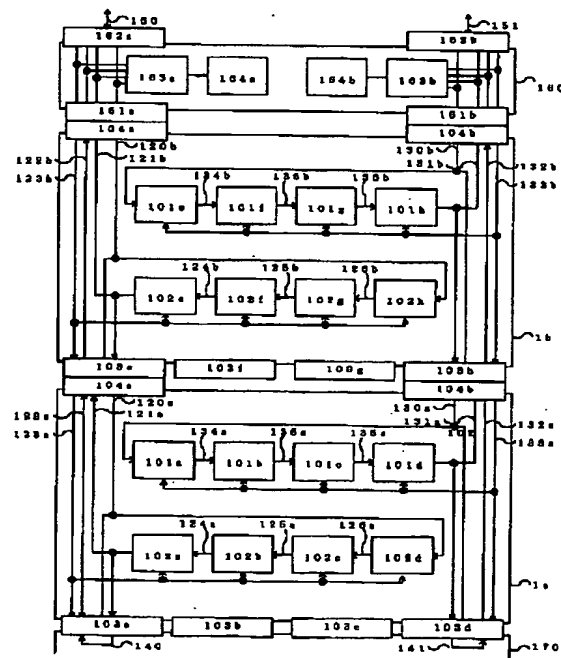
【図11】

図11



【図12】

図12



【図13】

図13



【例 15】

**图 15**

【図17】

FIG. 1 is a schematic cross-sectional view of a semiconductor device. It shows a central channel region 51 flanked by two gate regions 42. The device is bounded by a top layer 52 and a bottom layer 53.

フロントページの続き

(72)発明者 山際 明  
神奈川県海老名市下今泉810番地 株式会社  
社日立製作所P C事業部内

(72)発明者 江島 信昭  
神奈川県海老名市下今泉810番地 株式会社  
社日立製作所P C事業部内

(72) 発明者 栗原 良一  
神奈川県海老名市下今泉810番地 株式会社  
社日立製作所P C事業部内

(72) 発明者 坂上 雅一  
神奈川県海老名市下今泉810番地 株式会社  
社日立製作所P C事業部内

(72) 発明者 上村 康浩  
神奈川県秦野市堀山下1番地 株式会社日  
立インフォメーションテクノロジー内